

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 23 日
Application Date

申請案號：092109460
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 9 日
Issue Date

發文字號：09220559620
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	瓶型溝槽電容之製造方法
	英 文	METHOD OF FORMING BOTTLE-SHAPED TRENCH CAPACITORS
二、 發明人 (共2人)	姓 名 (中文)	1. 陳逸男 2. 蔡幸川
	姓 名 (英文)	1. Yi-Nan Chen 2. Hsin-Chuan Tsai
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市北投區建民路151巷4號 2. 桃園市國鼎一街19號14樓之5
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R. O. C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：瓶型溝槽電容之製造方法)

本發明揭示一種瓶型溝槽電容之製造方法。首先，在一基底之溝槽下半部填入一導電層，且其被一具摻雜層所包圍。接著，在基底上及溝槽上半部順應性形成一絕緣層以覆蓋導電層及具摻雜層。之後，對基底實施一熱處理以在鄰近具摻雜層之基底中形成一摻雜區以作為一下電極。接著，非等向性蝕刻絕緣層以在溝槽上半部側壁形成一項圈絕緣層，並作為罩幕以依序去除導電層及具摻雜層而露出摻雜區表面，再部分蝕刻露出的摻雜區以構成一瓶型溝槽。最後，在瓶型溝槽下半部依序順應性形成一粗糙複晶矽層及一電容介電層並填入一導電層以作為一上電極。

伍、(一)、本案代表圖為：第1g圖。

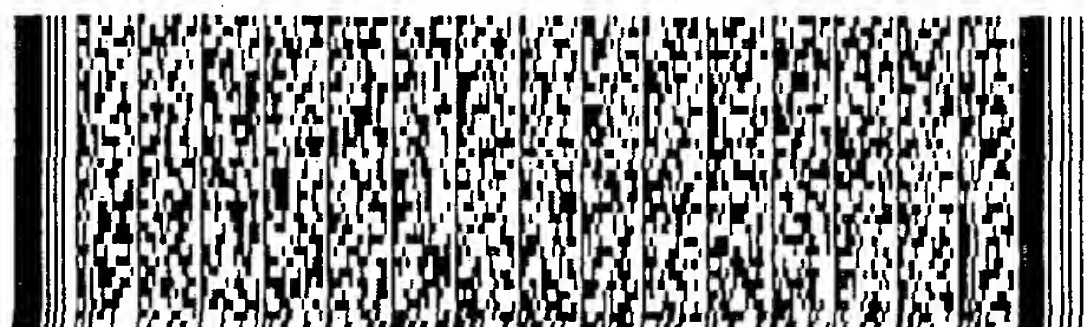
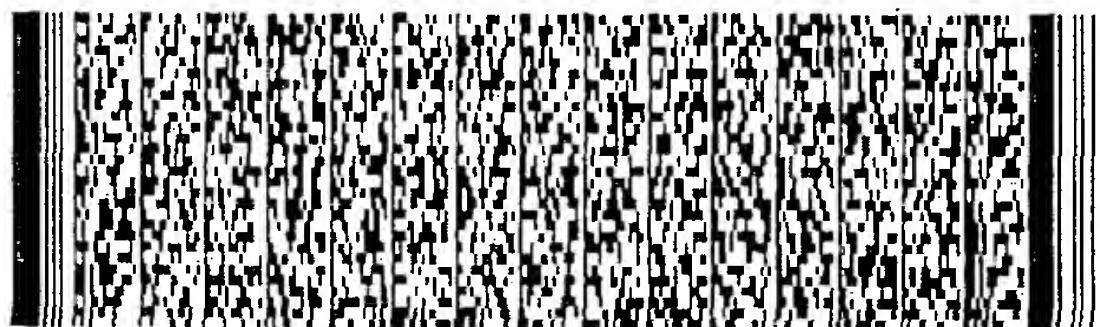
(二)、本案代表圖之元件代表符號簡單說明：

100~基底；

101~墊氧化矽層；

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH CAPACITORS)

A method of forming a bottle-shaped trench capacitor. A conductive layer surrounded by a doped layer is filled in the lower trench of a substrate. A conformable oxide layer is deposited over the substrate and the upper trench. Heat treatment is performed on the substrate to form a doping region in the substrate adjacent to the doped layer to serve as a bottom plate. The oxide

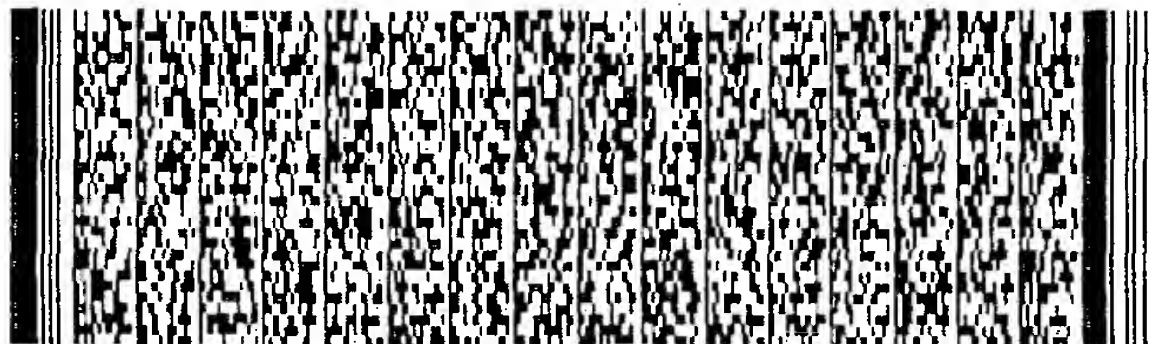


四、中文發明摘要 (發明名稱：瓶型溝槽電容之製造方法)

102~ 氮化矽層；
103~ 罩幕層；
105~ 凹陷；
106~ 氮化矽；
111~ 埋入式下電極；
112"~ 項圈絕緣層；
113~ 瓶型溝槽；
114'~ 粗操的複晶矽層；
116"~ 介電層；
118~ 上電極；
119~ 瓶型溝槽電容。

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH CAPACITORS)

layer is anisotropically etched to form a collar oxide over the sidewall of the upper trench. The conductive and doped layers are successively removed using the collar oxide as a mask to expose the doping region. Subsequently, the exposed doping region is partially etched to create a bottle-shaped trench. Finally, conformable rugged polysilicon and capacitor dielectric layers are



四、中文發明摘要 (發明名稱：瓶型溝槽電容之製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH CAPACITORS)

successively formed on the lower bottle-shaped trench and then fill a conductive layer to serve as a top plate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之領域】

本發明係有關於一種半導體裝置之製造方法，特別是有關於一種半導體記憶裝置之瓶型溝槽電容 (bottle-shaped trench capacitor) 之製造方法。

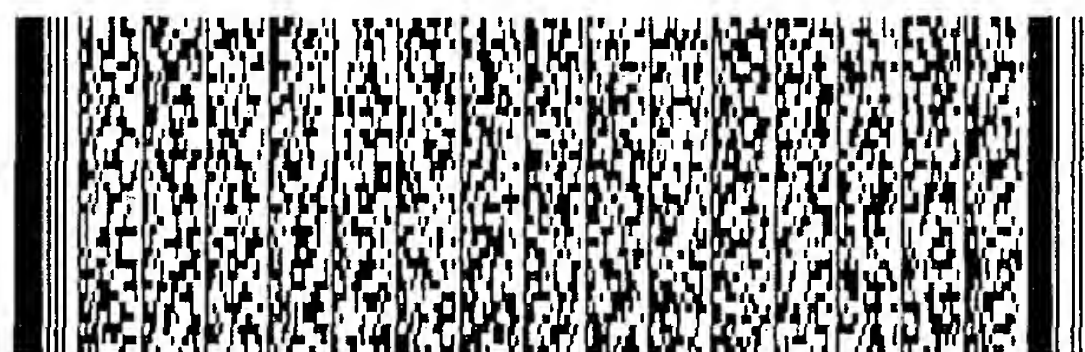
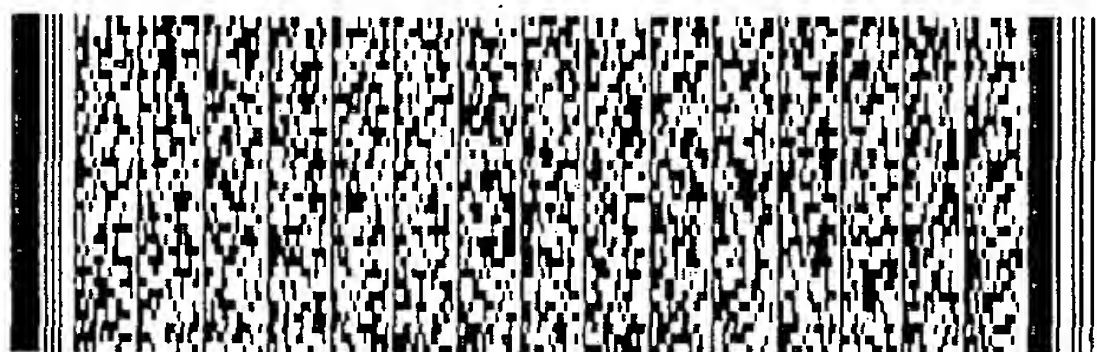
【先前技術】

目前廣泛使用之半導體記憶裝置中，例如動態隨機存取記憶體 (dynamic random access memory, DRAM)，電容器係由兩導電層表面 (即電極板) 隔著一絕緣物質而構成。電容器儲存電荷之能力係由絕緣物質之厚度、電極板之表面積及絕緣物質的介電常數所決定。

隨著近年來半導體製程設計皆朝著縮小半導體元件尺寸以提高積體電路積集度之方向發展，記憶體中記憶單元 (memory cell) 的基底面積必須不斷減少使積體電路能容納大量記憶單元而提高積集度，但同時，記憶單元電容之電極板必須有足夠之表面積才能儲存充足的電荷。

然而，在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容 (trench storage node capacitance) 亦隨著縮小，因此必須設法增加儲存電容以維持記憶體良好的操作性能。目前已廣泛使用於增加動態隨機存取記憶體之儲存電容的方法為增加溝槽底部的寬度，因而形成一可提高表面積之瓶型溝槽電容。

上述方法係於一溝槽上半部以選擇性氧化 (selective oxidation) 形成一環狀遮蔽層以保護溝槽



五、發明說明 (2)

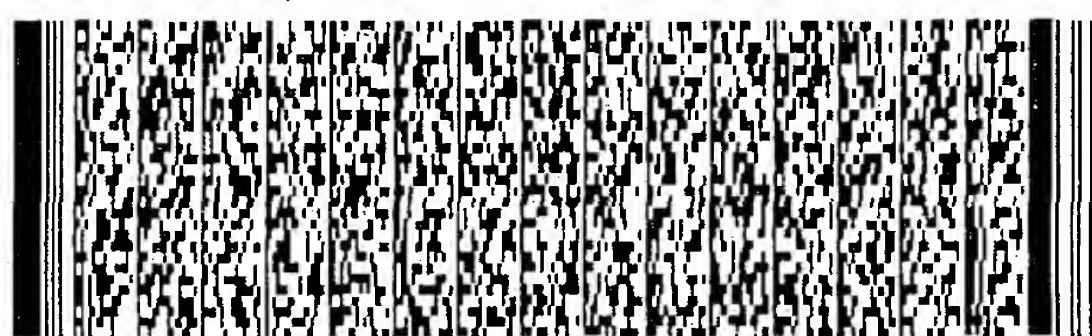
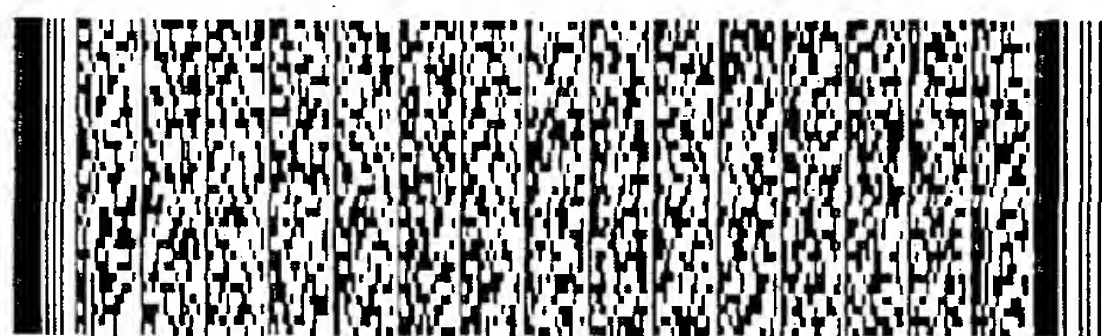
之上半部後，對該溝槽之下半部進行濕蝕刻以形成直徑大於上半部的瓶型溝槽。詳而言之，傳統製程係在具有氧化層以及氮化層所構成之疊層的半導體基底上，以乾蝕刻形成一溝槽後，接著再依序順著該疊層以及該溝槽形成氮化層、氧化層、複晶矽層以及氧化層。然而上述製程繁雜，需要多次沈積步驟，不論是在製造成本或時間上均不符經濟效益。因此需要一種製程簡化以提高產能的形成瓶型溝槽電容的方法。另外，為了因應下一代記憶體高效能的需求，亦需要一種增加儲存電容之電容量之瓶型溝槽電容製造方法。

【發明內容】

有鑑於此，本發明之目的在於提供一種新穎的瓶型溝槽電容之製造方法，以簡化製程步驟並增加瓶型溝槽電容之電容量。

為達上述之目的，本發明採用一次氧化層沉積以同時作為製作瓶型溝槽之蝕刻終止層以及瓶型溝槽電容之頂圈氧化層。再者，本發明在埋入式下電極 (buried plate) 與電容介電層之間形成一粗糙的複晶矽層，藉以進一步增加瓶型溝槽之表面積。

根據上述之目的，本發明提供一種瓶型溝槽電容之製造方法。首先，在一基底中形成一溝槽，再在溝槽下半部填入一第一導電層，且第一導電層被一具摻雜層所包圍。接著，在基底上及溝槽上半部順應性形成一絕緣層以覆蓋



五、發明說明 (3)

第一導電層及具摻雜層。之後，對基底實施一熱處理以在鄰近具摻雜層之基底中形成一摻雜區以作為一埋入式下電極。接著，非等向性蝕刻絕緣層以在溝槽上半部側壁形成一項圈絕緣層，並再藉由項圈絕緣層作為罩幕以依序去除第一導電層及具摻雜層而露出摻雜區表面。接著，部分蝕刻露出的摻雜區以構成一瓶型溝槽。最後，在瓶型溝槽下半部依序順應性形成一粗糙複晶矽層及一電容介電層並填入一第二導電層以作為一上電極。其中，上述方法更包括在第二導電層上依序形成一第三導電層及一第四導電層以填滿瓶型溝槽。其中，第二、第三、及第四導電層可為摻雜的複晶矽層。

再者，在形成粗糙複晶矽層後，更包括實施一氣相摻雜 (gas phase doping, GPD) 處理之步驟。

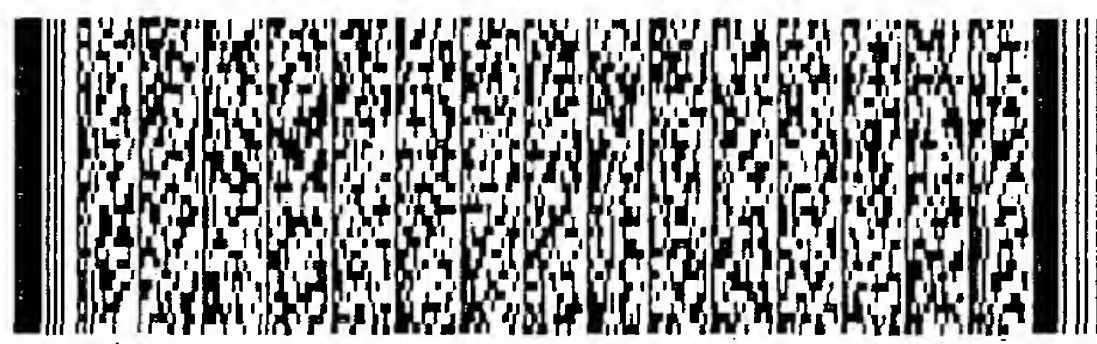
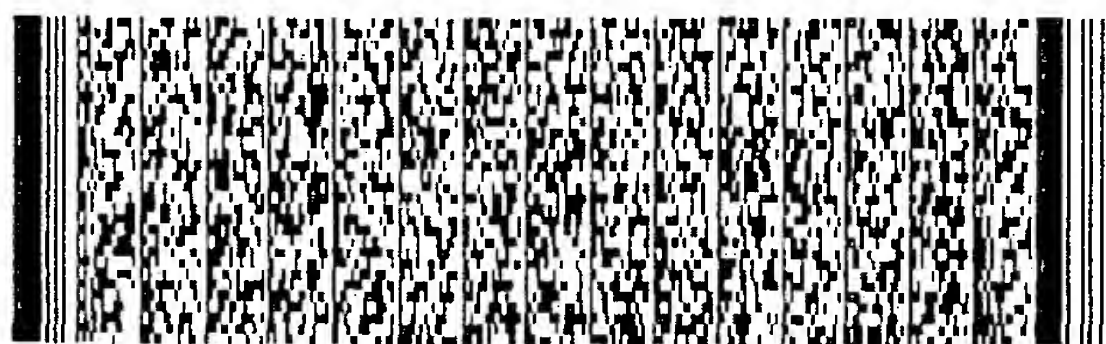
再者，第一導電層可為一複晶矽層。具摻雜層可為一砷摻雜矽玻璃 (ASG)。絕緣層可為由四乙基矽酸鹽 (tetraethyl orthosilicate, TEOS) 所形成之氧化物。

再者，熱處理溫度在 900°C 到 1100°C 的範圍。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

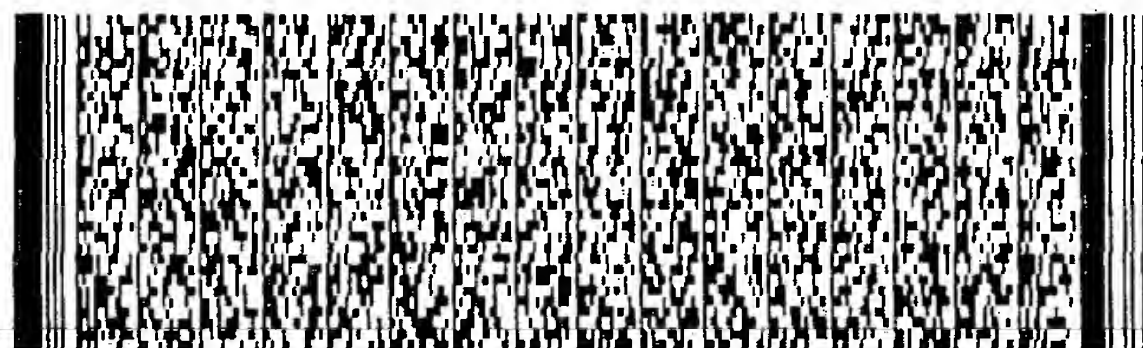
以下配合第1a到1h圖說明本發明實施例之瓶型溝槽電容之製造方法適用於一記憶裝置，例如DRAM。



五、發明說明 (4)

首先，請參照第1a圖，提供一基底100，例如一矽基底。在基底100表面上形成一單幕層103。如圖中所示，單幕層103可由一層墊氧化矽層101與一層較厚的氮化矽層102所組成。其中，墊氧化矽層101的厚度約100埃（Å）左右，且其形成方法可為熱氧化法沉積而成。氮化矽層102的厚度約在1000到2000埃的範圍，且可利用低壓化學氣相沉積法，以二氯矽烷（ SiCl_2H_2 ）與氨氣（ NH_3 ）為反應原料沉積而成。接著，藉由習知微影及蝕刻製程於單幕層103中形成複數開口，再以單幕層103作為蝕刻單幕，進行非等向性蝕刻製程，例如反應離子蝕刻（reactive ion etching, RIE），蝕刻單幕層103之開口下方之基底100而形成複數溝槽。此處，為了簡化圖式，僅以一溝槽104表示之。

接下來，請參照第1b圖，可選擇性地利用緩衝氫氟酸（buffer hydrofluoric acid, BHF）等向性蝕刻墊氧化矽層101至一既定深度，例如在15到40埃（Å）的範圍，以形成一凹陷處105。接著，在凹陷處填入氮化矽106。此氮化矽106係用以保護墊氧化矽層101在後續蝕刻製程中受到蝕刻，避免氮化矽層102之附著性降低而剝離。之後，藉由習知之沉積技術，例如化學氣相沉積（chemical vapor deposition, CVD），在單幕層103上及溝槽104內表面順應性形成一具摻雜層108。在本實施例中，此具摻雜層108可為一摻雜砷之氧化層或稱砷摻雜矽玻璃（arsenic silicate glass, ASG），其厚度在200到400



五、發明說明 (5)

埃的範圍。

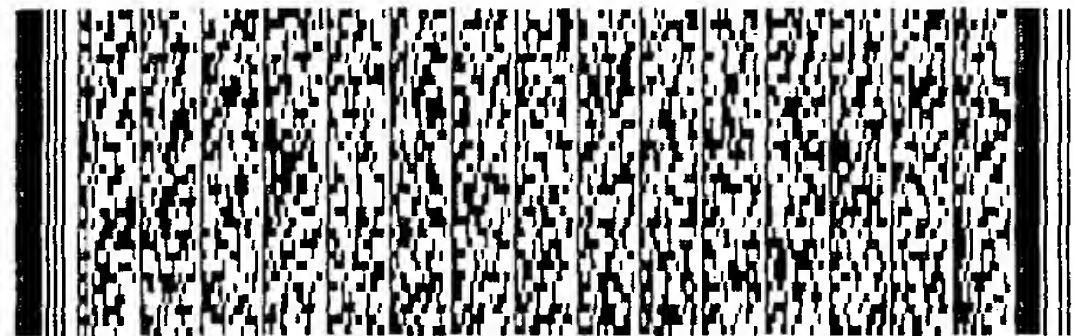
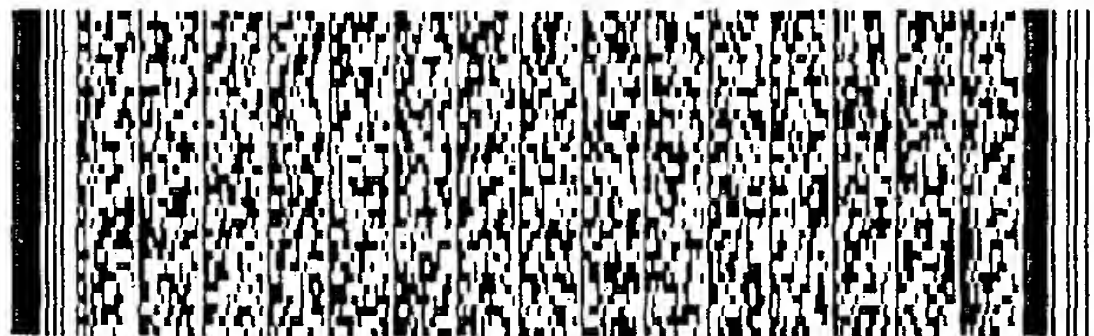
接下來，請參照第1c圖，藉由習知之沉積技術，例如CVD，在具摻雜層108上形成一導電層（未繪示），例如一複晶矽層，並填入溝槽104中。之後，藉由一研磨處理，例如化學機械研磨（chemical mechanic polishing, CMP），去除罩幕層103上多餘的導電層及具摻雜層108，以在溝槽104中留下部分的導電層及在溝槽104側壁及底部留下部分的具摻雜層108'。接著，回蝕刻溝槽104中的導電層至一既定深度，例如1微米（ μm ），以在溝槽104下半部留下部分的導電層110。

接下來，請參照第1d圖，以導電層110作為罩幕層，蝕刻去除導電層110上方的具摻雜層108'，以在溝槽104下半部留下圍繞導電層110的具摻雜層108"。接著，藉由習知沉積技術，例如低壓化學氣相沉積（low-pressure CVD, LPCVD），在罩幕層103上及溝槽104上半部內表面順應性形成一絕緣層112，以覆蓋導電層110及具摻雜層108"。此處，絕緣層112可為由四乙基矽酸鹽

（tetraethyl orthosilicate, TEOS）所形成之氧化物，且其厚度在100到300埃的範圍。

接著，對基底100實施一熱處理，以將具摻雜層108"中的摻雜元素，例如砷，高溫驅入鄰近的基底100中而形成一摻雜區111。此摻雜區111係供作一埋入式下電極

（buried bottom plate）之用。在本實施例中，熱處理的溫度在900℃到1100℃的範圍，而較佳的溫度約在1050



五、發明說明 (6)

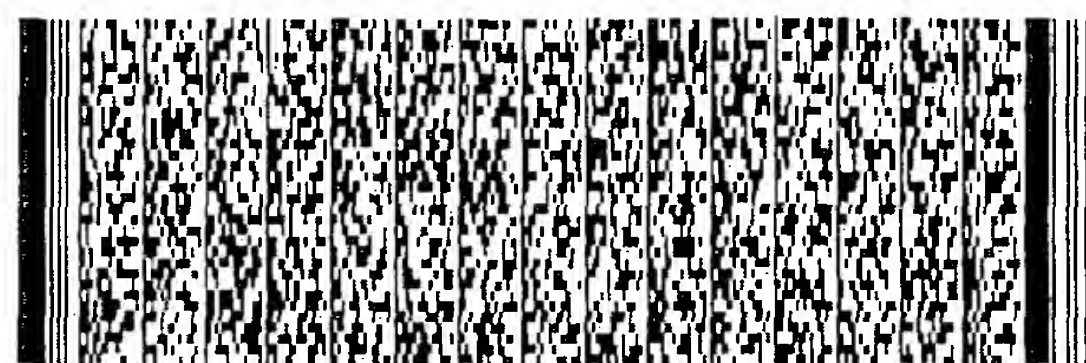
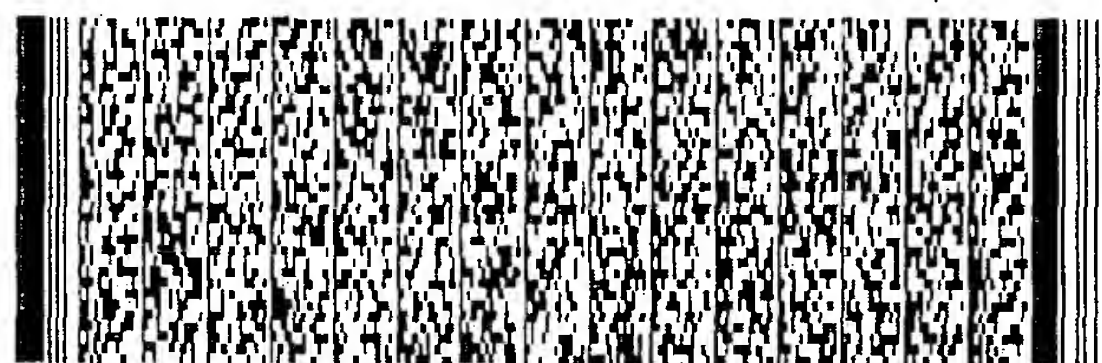
°C。

接下來，請參照第1e圖，藉由非等向性蝕刻，例如反應離子蝕刻 (reactive ion etching, RIE)，去除罩幕層103上方及溝槽104底部 (導電層110上方) 之絕緣層112，以在溝槽104上半部側壁形成一項圈 (collar) 絕緣層112' 並露出導電層110及部分的具摻雜層108"。

接下來，請參照第1f圖，利用項圈絕緣層112' 作為罩幕以依序去除導電層110及具摻雜層108" 而露出摻雜區111表面。在本實施例中，係先藉由乾蝕刻去除溝槽104中的導電層110，接著再利用氣相氫氟酸 (vapor hydrofluoric acid, VHF) 去除具摻雜層108"。接著，同樣利用項圈絕緣層112' 作為罩幕來進行等向性蝕刻，例如使用氫氧化銨 (NH_4OH) 作為蝕刻劑，以部分蝕刻露出的摻雜區110而構成一底部較寬大的瓶型溝槽113。

接著，藉由習知沉積技術，例如LPCVD，在565°C到585°C的成長溫度下，在罩幕層103上方及瓶型溝槽113內表面順應性形成一粗糙複晶矽 (rugged polysilicon) 層114，或稱半球型晶粒矽 (hemispherical grained silicon, HSG)，用以增加埋入式下電極111的表面積。

之後，對粗糙複晶矽層114實施一氣相摻雜 (gas phase doping, GPD)，以降低未摻雜的項圈絕緣層112' 與摻雜的複晶矽層114之間的濃度差。接著，可同樣藉由LPCVD在粗糙複晶矽層114上順應性形成一介電層116，例如摻雜的氮化矽層、氮化矽／氧化矽 (NO) 疊層、或是氧化矽／氮



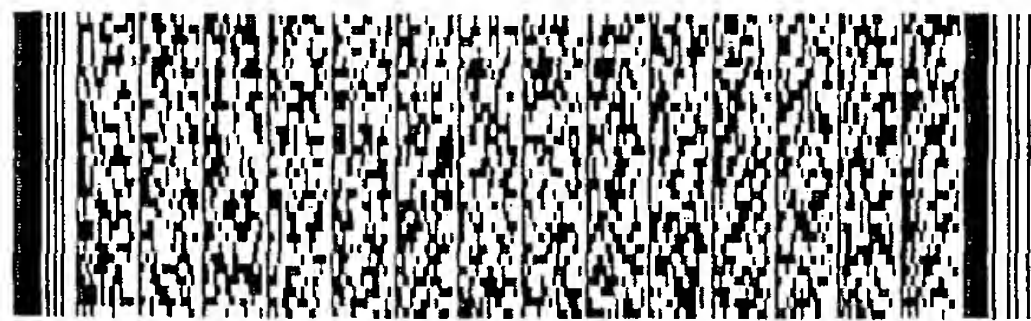
五、發明說明 (7)

化矽／氧化矽 (ON0) 疊層。

接下來，請參照第1g圖，藉由習知沉積技術，例如CVD，在單幕層103上方形成一導電層（未繪示），例如摻雜的複晶矽層，並填入瓶型溝槽113。之後，回蝕刻導電層，以在瓶型溝槽113下半部留下部分的導電層118以作為一上電極。接著，可藉由熱磷酸或其他適當的溶液去除導電層118上方露出的介電層116，以在瓶型溝槽113下半部留下部分的介電層116'，其係供作電容介電層之用。之後，可藉由RIE去除電容介電層116'上方的粗糙複晶矽層114，以在瓶型溝槽113下半部留下部分的粗糙複晶矽層114'而完成本發明之瓶型溝槽電容119之製作。

最後，請參照第1h圖，藉由習知沉積技術，例如CVD，在單幕層103上方形成一導電層（未繪示），例如摻雜的複晶矽層，並填入瓶型溝槽113上半部（瓶型溝槽電容119上方）。接著，回蝕刻此導電層以留下部分的導電層120以作為一第一導線層。之後，以導電層120作為單幕，去除其上方的頂圈絕緣層112'而留下部分的頂圈絕緣層112"。接下來，同樣藉由CVD，在單幕層103上方形成一導電層（未繪示），例如摻雜的複晶矽層，並填滿瓶型溝槽113，並藉由一研磨處理，例如CMP，去除單幕層103上方之導電層以在瓶型溝槽113中留下部分的導電層122，藉以作為一第二導線層。

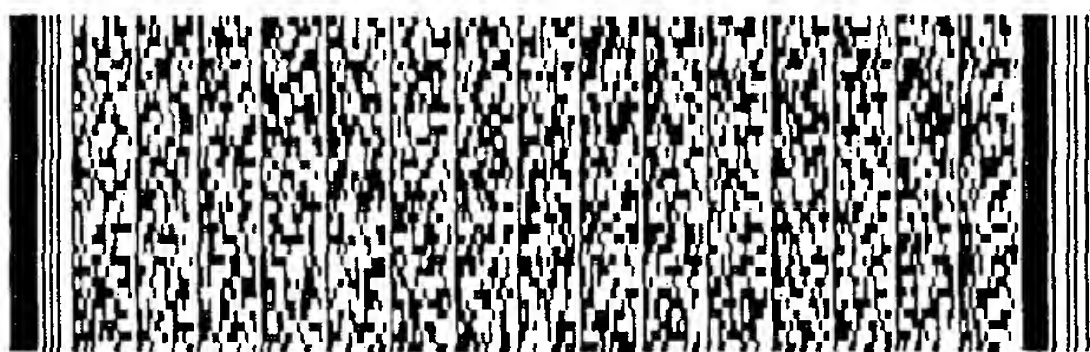
根據本發明之方法，僅採用一次氧化層沉積，以作為製作瓶型溝槽之蝕刻終止層，同時，以此蝕刻終止層作為



五、發明說明 (8)

瓶型溝槽電容之頂圈氧化層。因此，可簡化製程步驟進而降低製作成本及增加產能。再者，本發明係在埋入式下電極 (buried plate) 與電容介電層之間形成一粗糙的複晶矽層，因此可進一步增加瓶型溝槽之表面積而增加瓶型溝槽電容之電容量。亦即，提高記憶裝置之效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a到1h圖係繪示出根據本發明實施例之瓶型溝槽電容之製造方法之剖面示意圖。

符號說明：

- 100~基底；
- 101~墊氧化矽層；
- 102~氮化矽層；
- 103~罩幕層；
- 104~溝槽；
- 105~凹陷；
- 106~氮化矽；
- 108、108'、108"~具摻雜層；
- 110、120、122~導電層；
- 111~埋入式下電極；
- 112~絕緣層；
- 112'、112"~項圈絕緣層；
- 113~瓶型溝槽；
- 114、114'~粗操的複晶矽層；
- 116、116"~介電層；
- 118~上電極；
- 119~瓶型溝槽電容。



六、申請專利範圍

1. 一種瓶型溝槽電容之製造方法，包括下列步驟：

在—基底中形成—溝槽；

在該溝槽下半部填入—第一導電層，且該第一導電層被—具摻雜層所包圍；

在該基底上及該溝槽上半部順應性形成—絕緣層以覆蓋該第一導電層及該具摻雜層；

對該基底實施—熱處理以在鄰近該具摻雜層之該基底中形成—摻雜區以作為—埋入式下電極；

非等向性蝕刻該絕緣層以在該溝槽上半部側壁形成—項圈絕緣層；

藉由該項圈絕緣層作為罩幕以依序去除該第一導電層及該具摻雜層而露出該摻雜區表面；

部分蝕刻該露出的摻雜區以構成—瓶型溝槽；以及

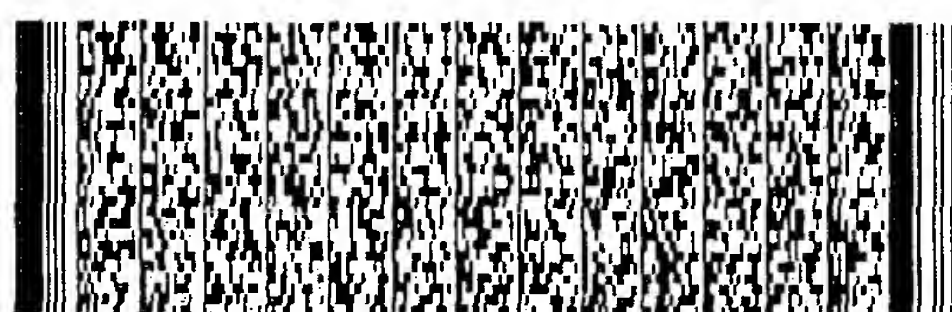
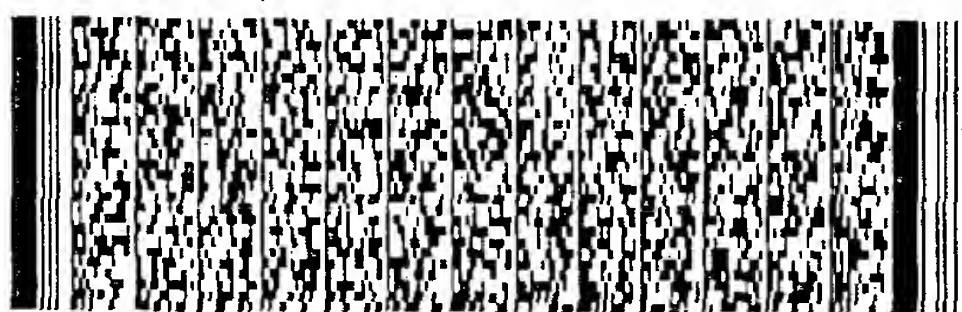
在該瓶型溝槽下半部依序順應性形成—粗糙複晶矽層及—電容介電層並填入—第二導電層以作為—上電極。

2. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，更包括在該第二導電層上依序形成—第三導電層及—第四導電層以填滿該瓶型溝槽。

3. 如申請專利範圍第2項所述之瓶型溝槽電容之製造方法，其中該第三及該第四導電層係摻雜的複晶矽層。

4. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該第一導電層係—複晶矽層。

5. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該具摻雜層係—砷摻雜矽玻璃（ASG）。



六、申請專利範圍

6. 如申請專利範圍第5項所述之瓶型溝槽電容之製造方法，其中藉由氣相氫氟酸（VHF）去除該具摻雜層。

7. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該絕緣層係由四乙基矽酸鹽（TEOS）所形成之氧化物。

8. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該熱處理溫度在 900°C 到 1100°C 的範圍。

9. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中藉由氫氧化銨以部分蝕刻該露出的摻雜區。

10. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該第二導電層係摻雜的複晶矽層。

11. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中該電容介電層包含一氮化矽層。

12. 如申請專利範圍第1項所述之瓶型溝槽電容之製造方法，其中在形成該粗糙複晶矽層後，更包括實施一氣相摻雜（GPD）處理之步驟。

13. 一種瓶型溝槽電容之製造方法，包括下列步驟：

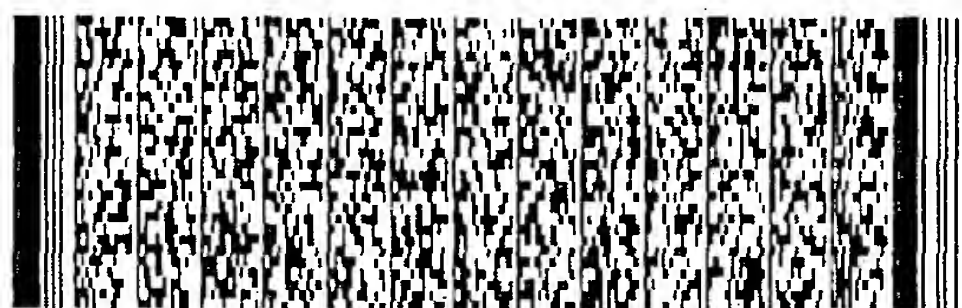
提供一基底，其上覆蓋一具有一開口之罩幕層；

蝕刻該開口下方之該基底以在其中形成一溝槽；

在該溝槽下半部填入一複晶矽層，且該複晶矽層被一摻雜的氧化矽層所包圍；

在該罩幕層上及該溝槽上半部順應性形成一絕緣層以覆蓋該複晶矽層及該摻雜的氧化矽層；

對該基底實施一熱處理以在鄰近該摻雜的氧化矽層之



六、申請專利範圍

該基底中形成一摻雜區以作為一埋入式下電極；

非等向性蝕刻該絕緣層以在該溝槽上半部側壁形成一項圈絕緣層；

藉由該項圈絕緣層作為罩幕以依序去除該複晶矽層及該具摻雜層而露出該摻雜區表面；

部分蝕刻該露出的摻雜區以構成一瓶型溝槽；

在該瓶型溝槽下半部依序順應性形成一粗糙複晶矽層及一電容介電層並填入一第一摻雜的複晶矽層以作為一上電極；以及

在該第一摻雜的複晶矽層上依序形成一第二摻雜的複晶矽層及一第三摻雜的複晶矽層以填滿該瓶型溝槽。

14. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中該罩幕層係依序由一墊氧化矽層及一氮化矽層所構成。

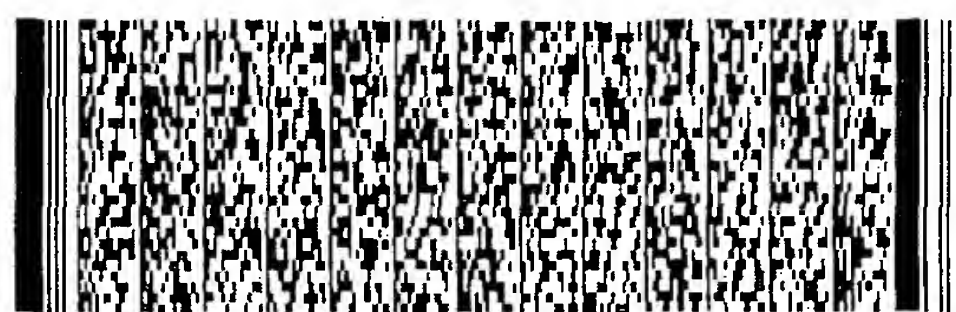
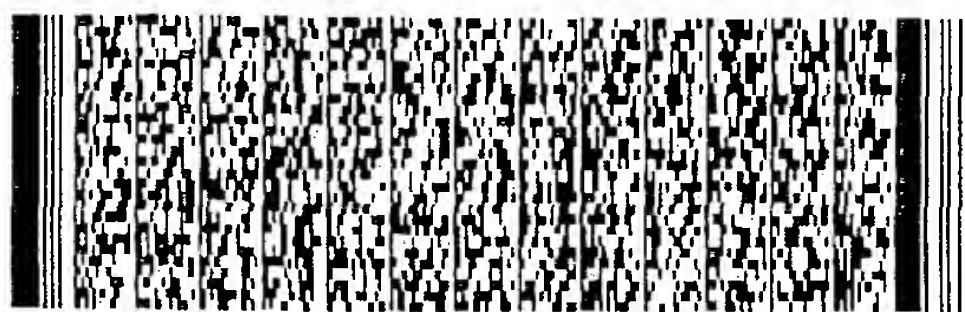
15. 如申請專利範圍第14項所述之瓶型溝槽電容之製造方法，其中在填入該複晶矽層前，更包括下列步驟：

等向性蝕刻該墊氧化矽層至一既定深度以形成一凹陷處；以及

在該凹陷處填入氮化矽。

16. 如申請專利範圍第15項所述之瓶型溝槽電容之製造方法，其中藉由緩衝氫氟酸（BHF）蝕刻該墊氧化矽層。

17. 如申請專利範圍第15項所述之瓶型溝槽電容之製造方法，其中該既定深度在15到40埃的範圍。



六、申請專利範圍

18. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中該摻雜的氧化矽層係一砷摻雜矽玻璃（ASG）。

19. 如申請專利範圍第18項所述之瓶型溝槽電容之製造方法，其中藉由氣相氫氟酸（VHF）去除該摻雜的氧化矽層。

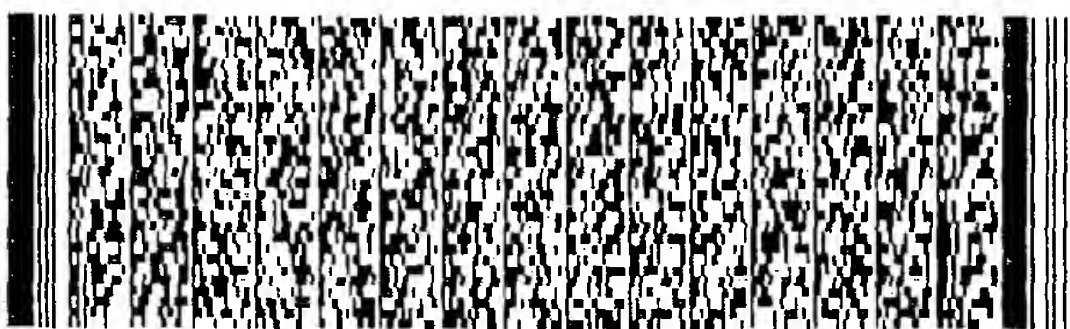
20. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中該絕緣層係由四乙基矽酸鹽（TEOS）所形成之氧化物。

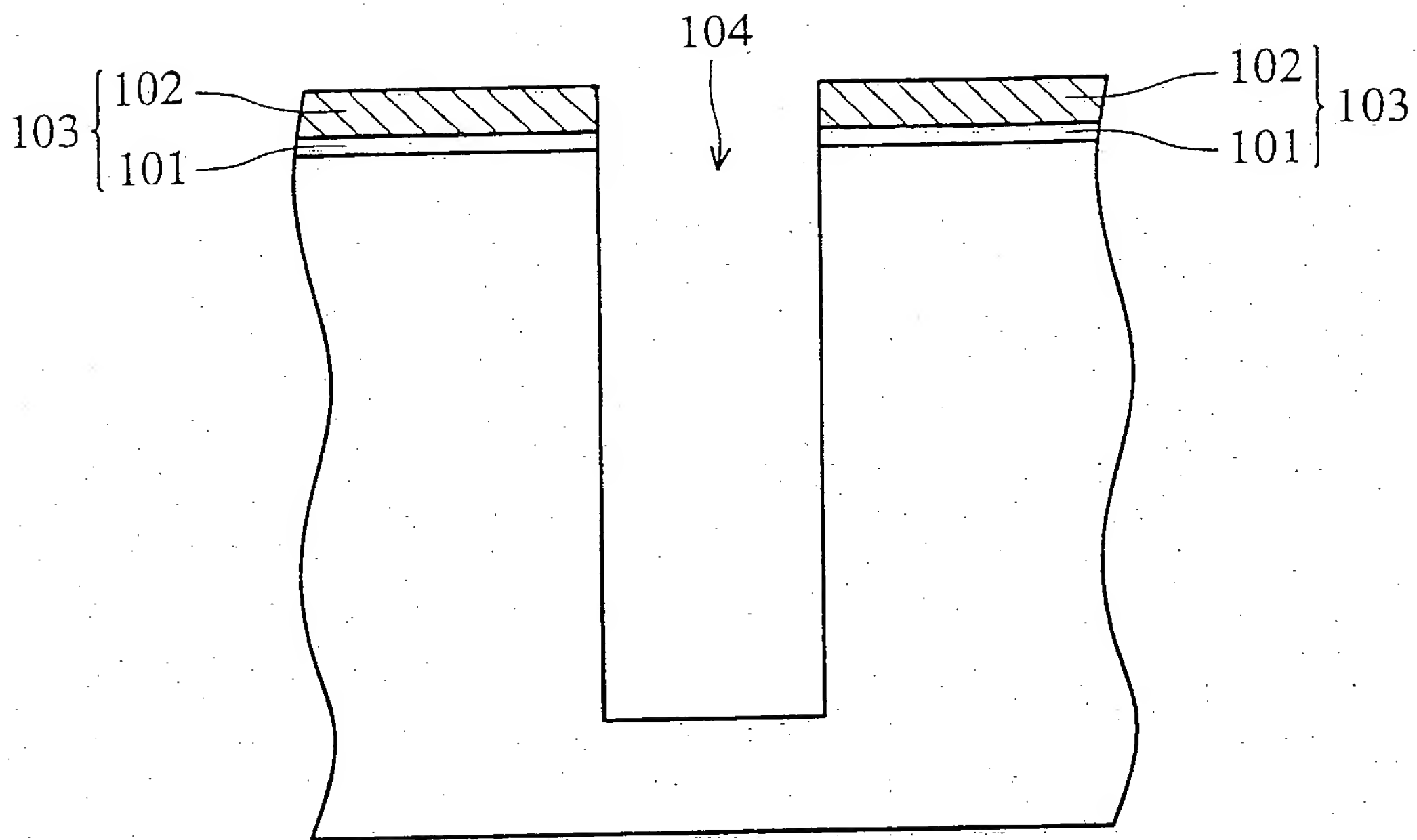
21. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中該熱處理溫度在900℃到1100℃的範圍。

22. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中藉由氫氧化銨以部分蝕刻該露出的摻雜區。

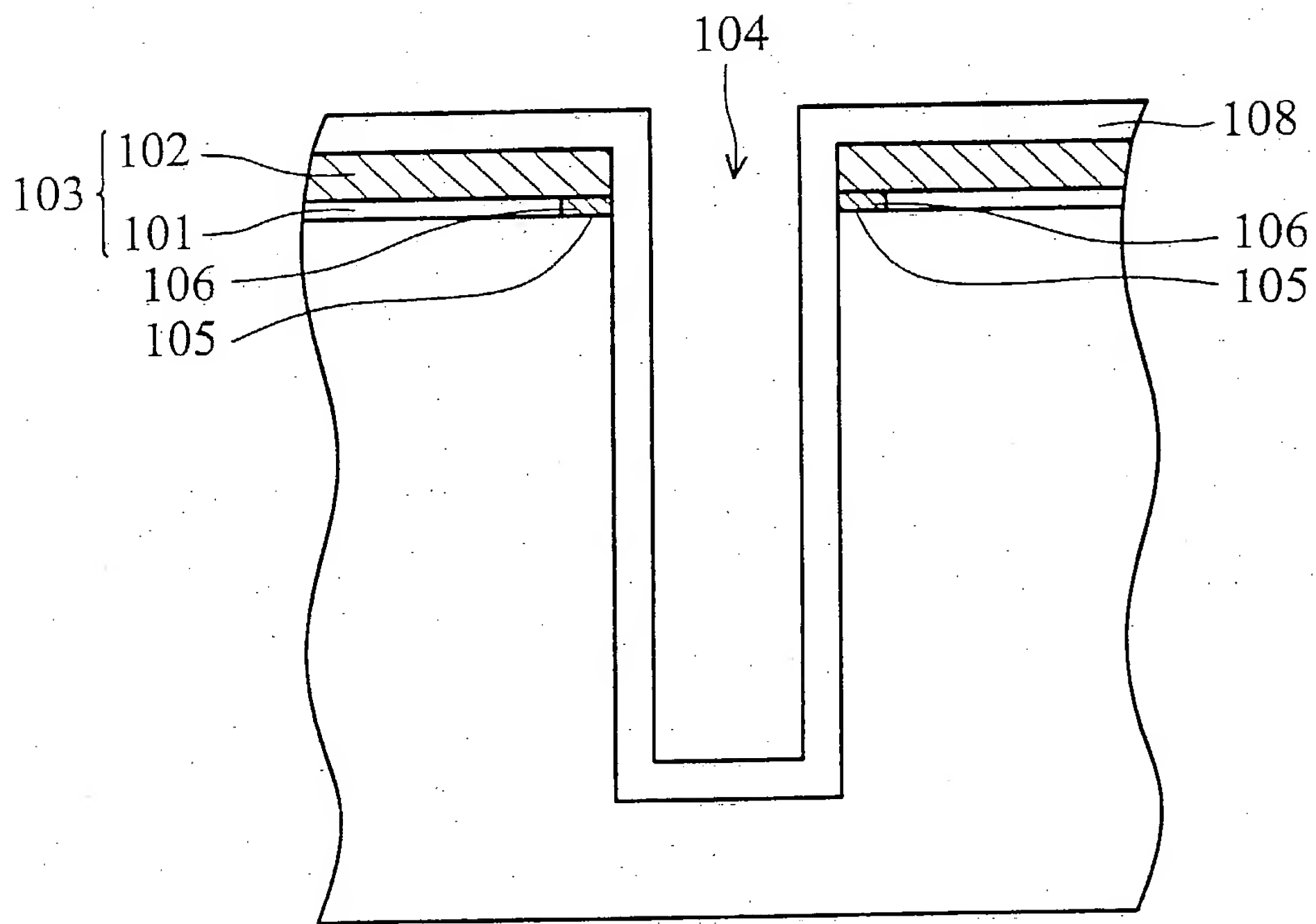
23. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中該電容介電層包含一氮化矽層。

24. 如申請專利範圍第13項所述之瓶型溝槽電容之製造方法，其中在形成該粗糙複晶矽層後，更包括實施一氣相摻雜（GPD）處理之步驟。

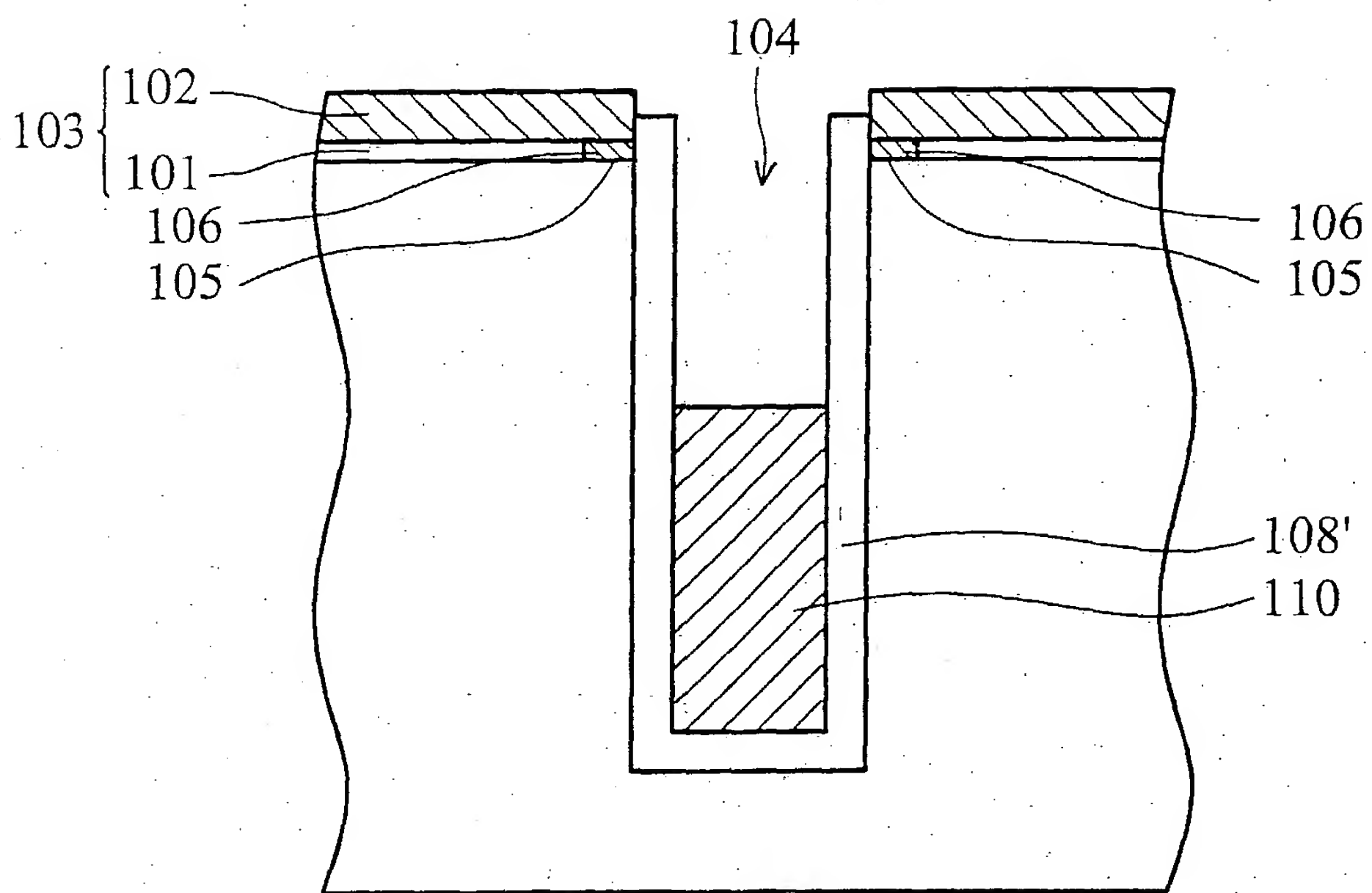




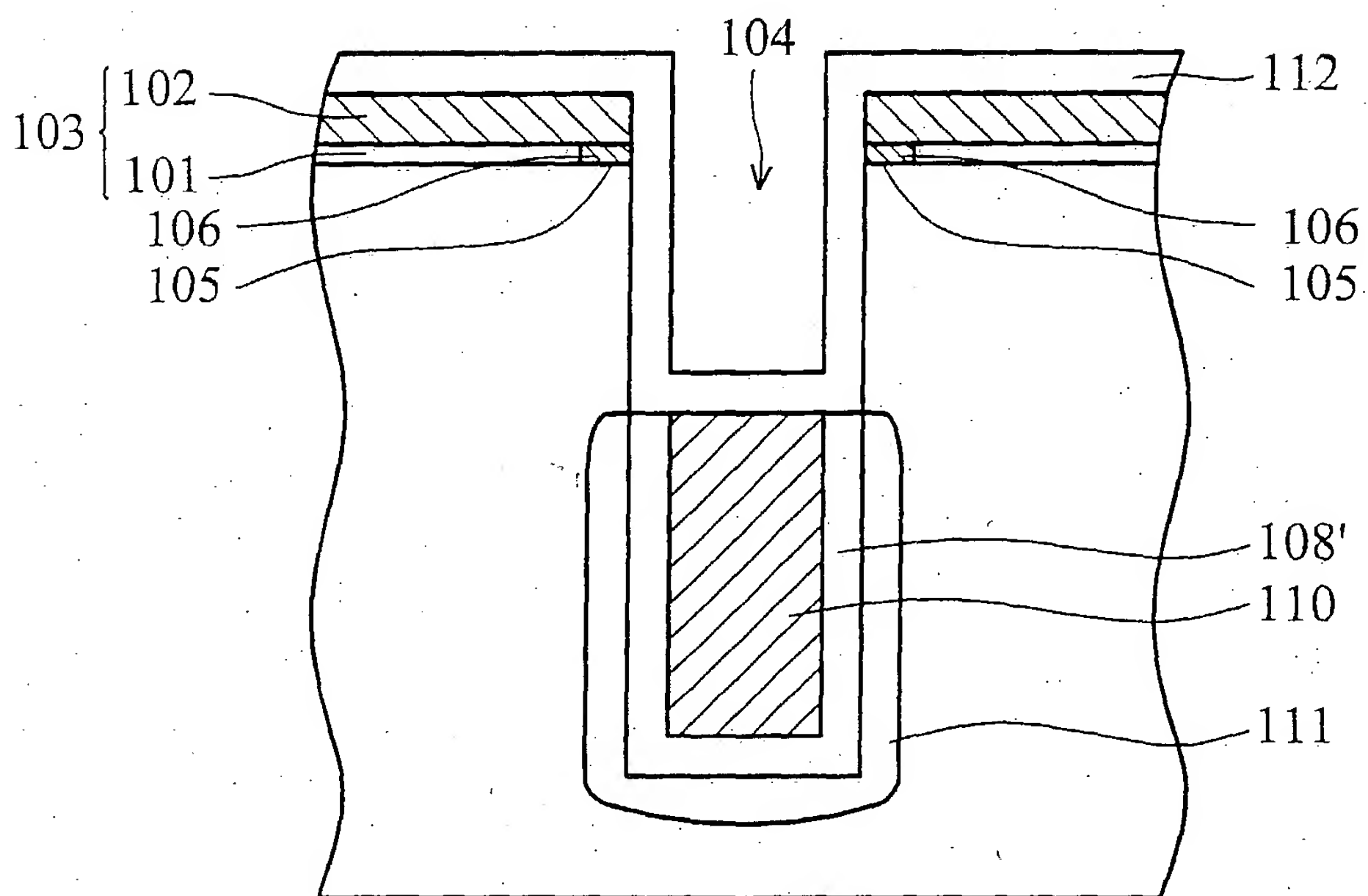
第 1a 圖



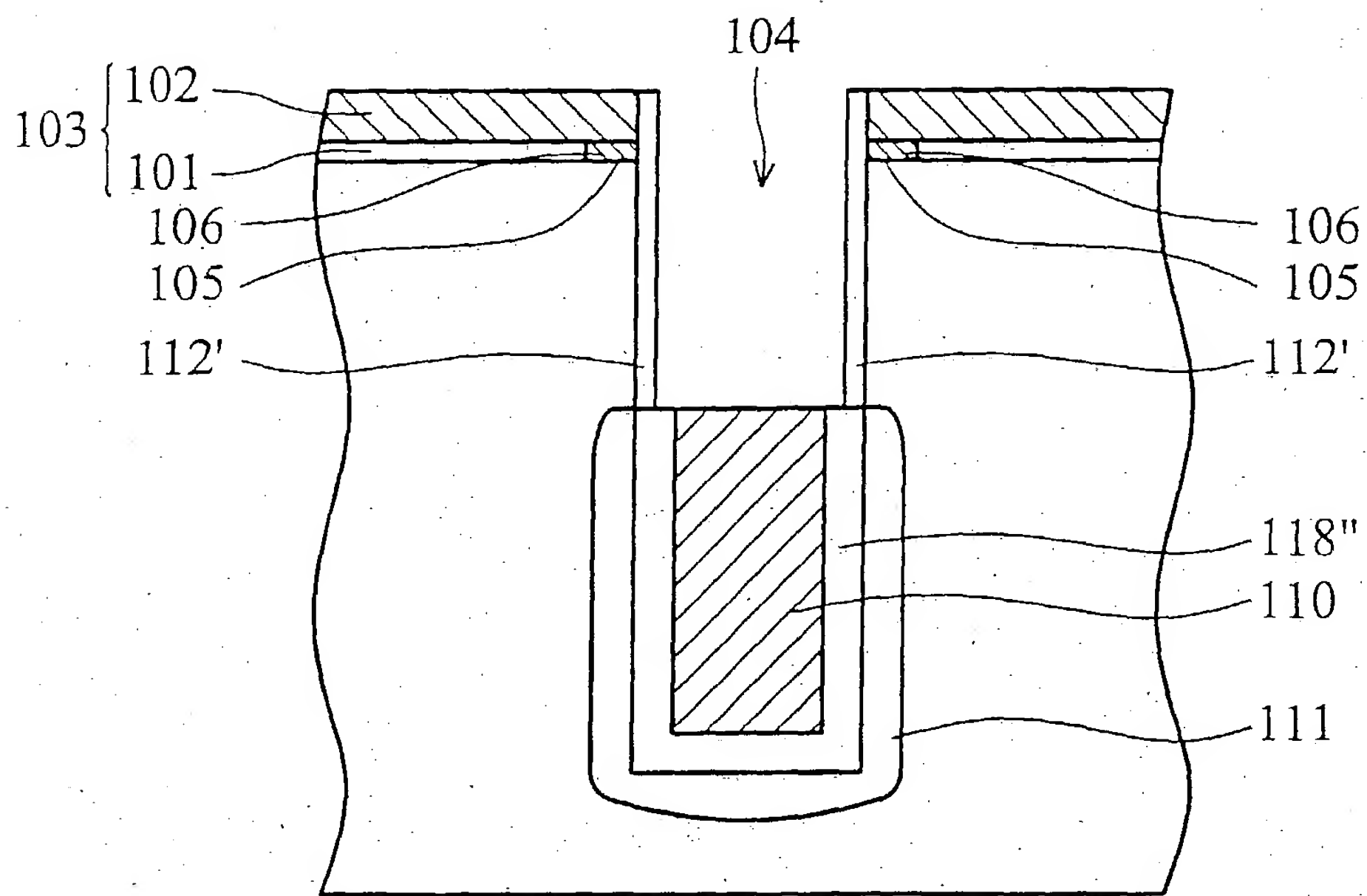
第 1b 圖



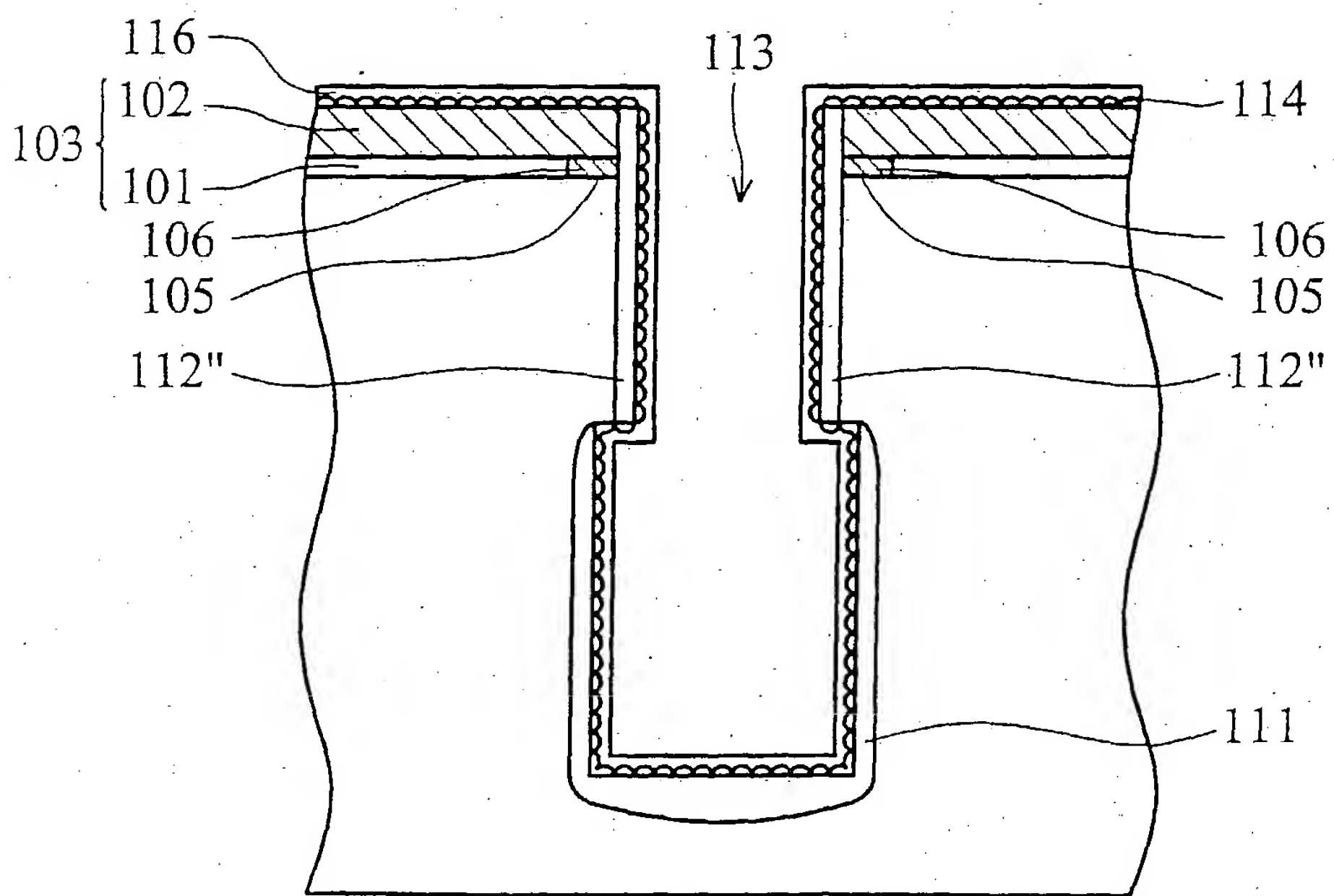
第 1c 圖



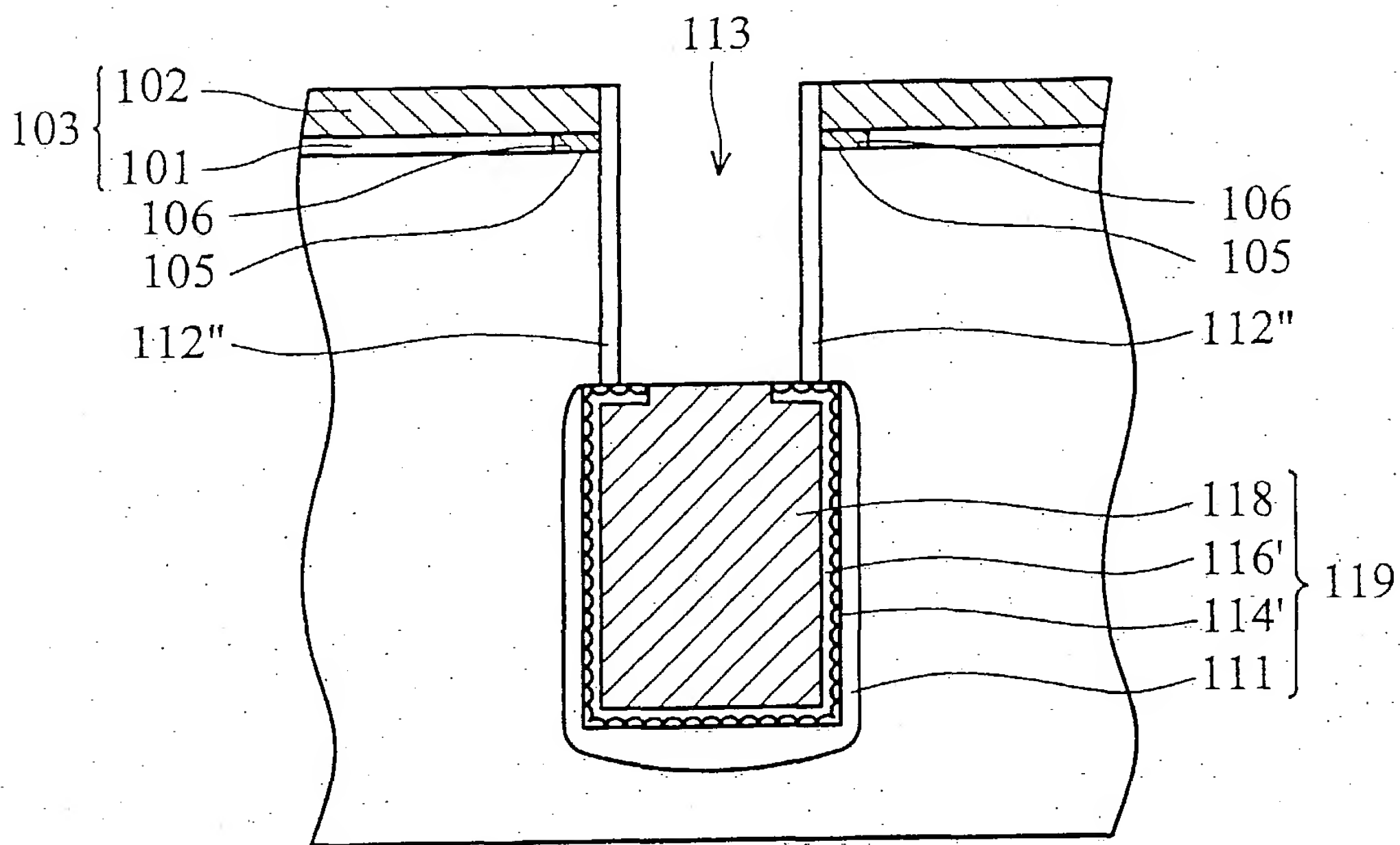
第 1d 圖



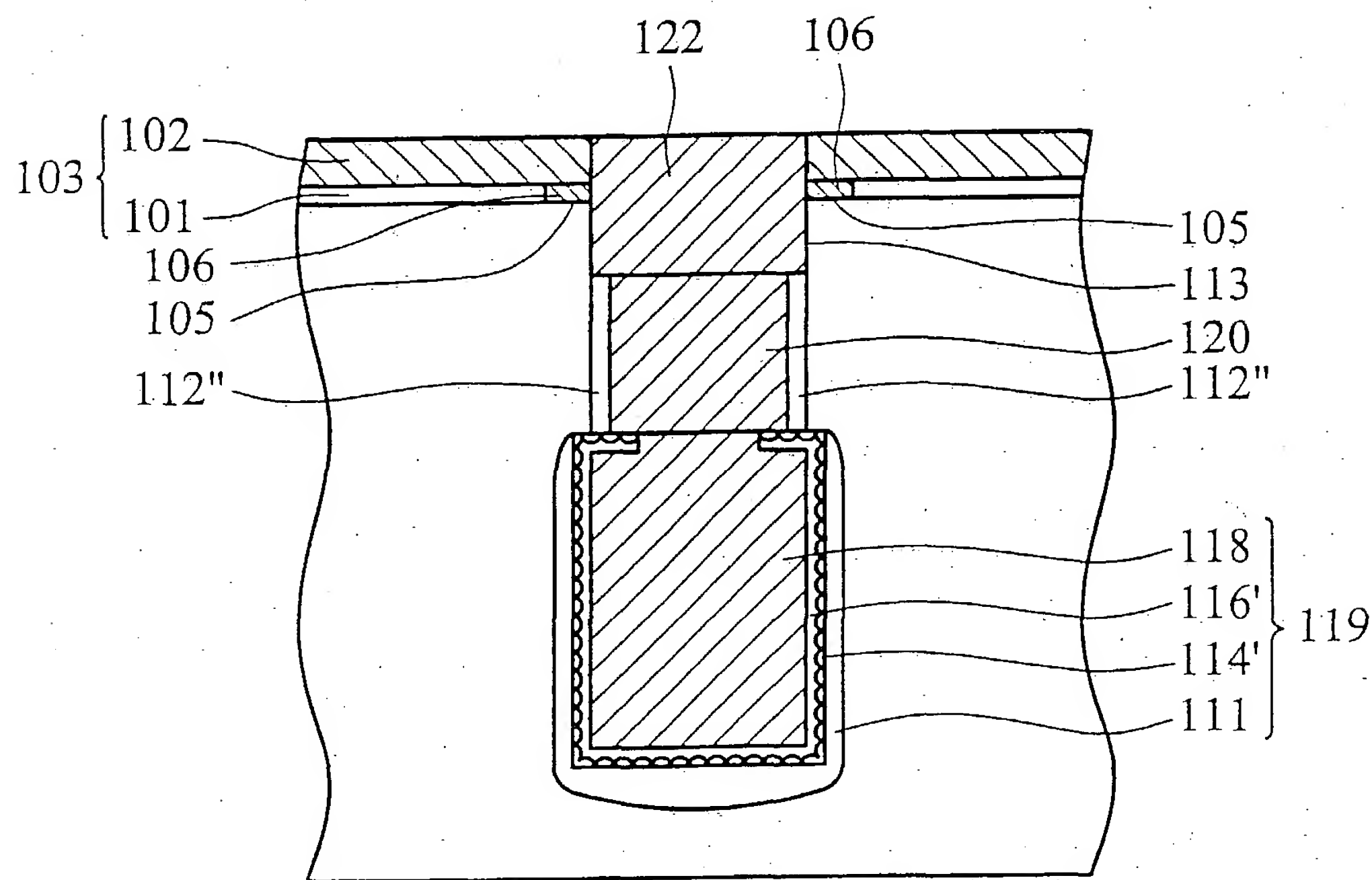
第1e圖



第1f圖

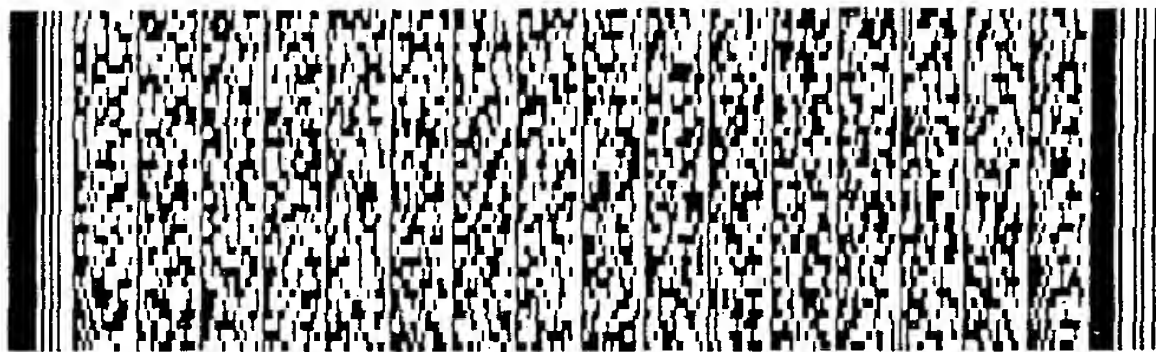


第1g圖



第1h圖

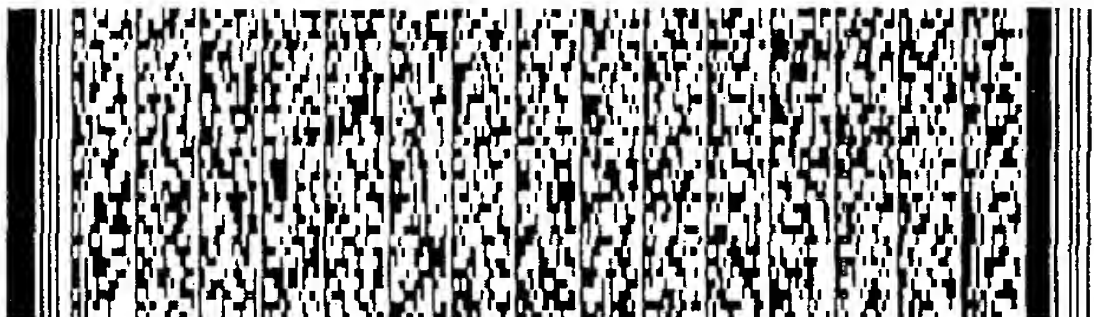
第 1/18 頁



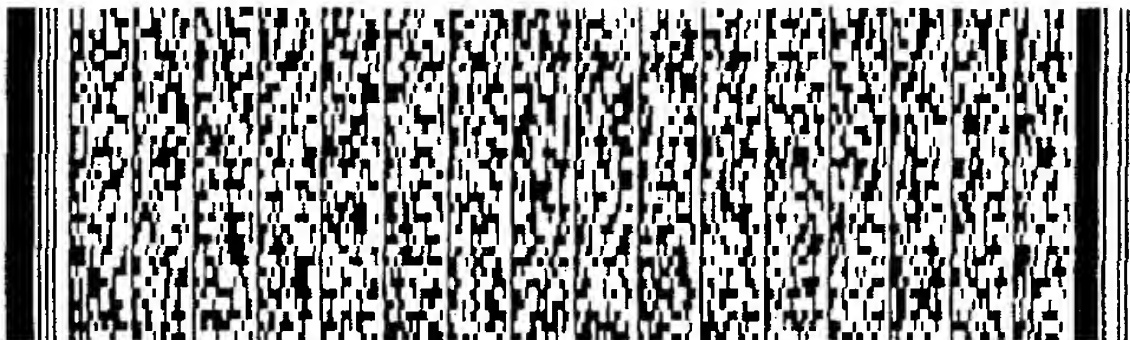
第 2/18 頁



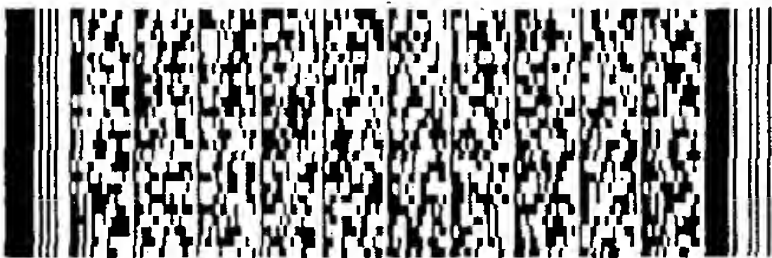
第 2/18 頁



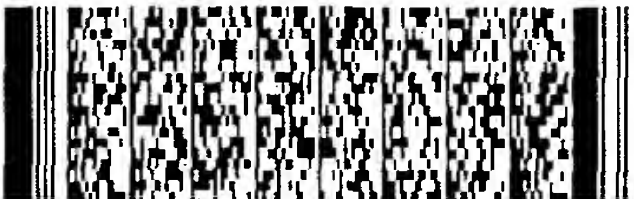
第 3/18 頁



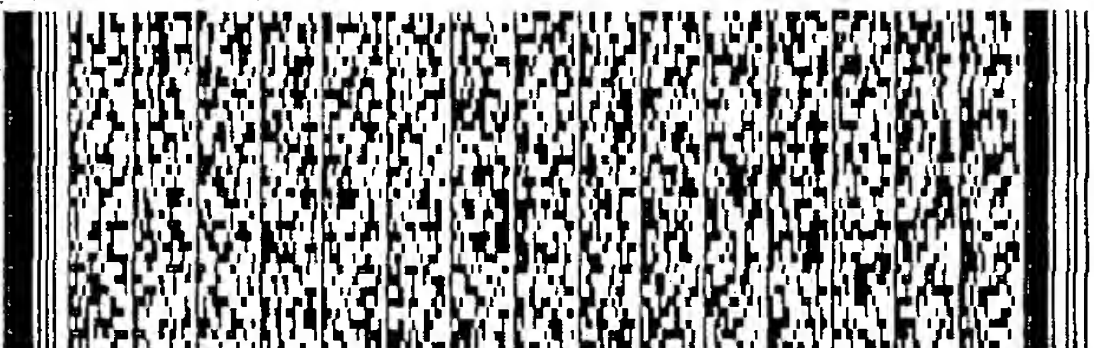
第 4/18 頁



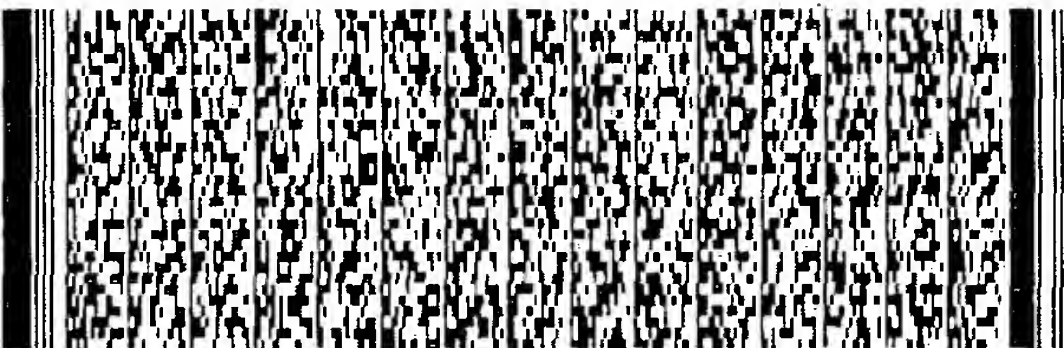
第 5/18 頁



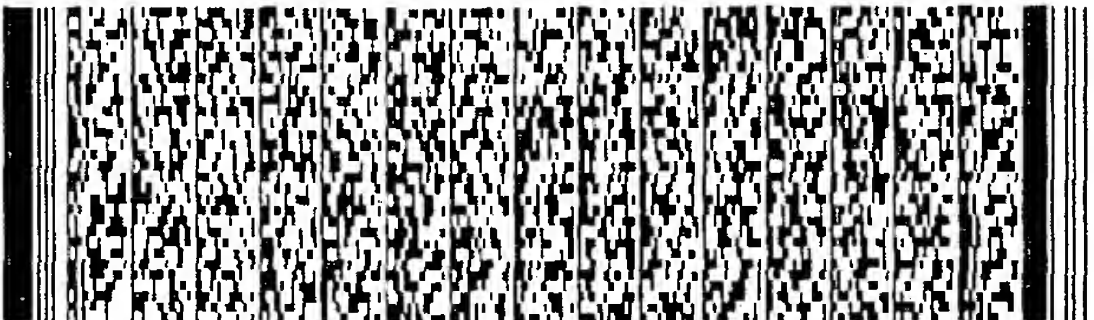
第 6/18 頁



第 6/18 頁



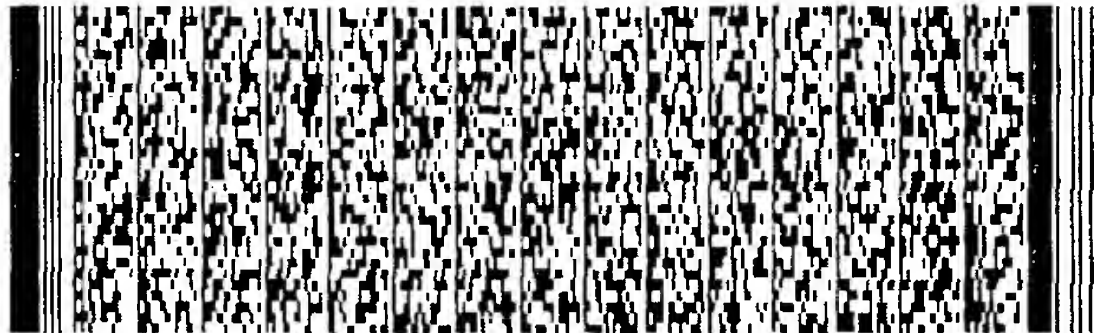
第 7/18 頁



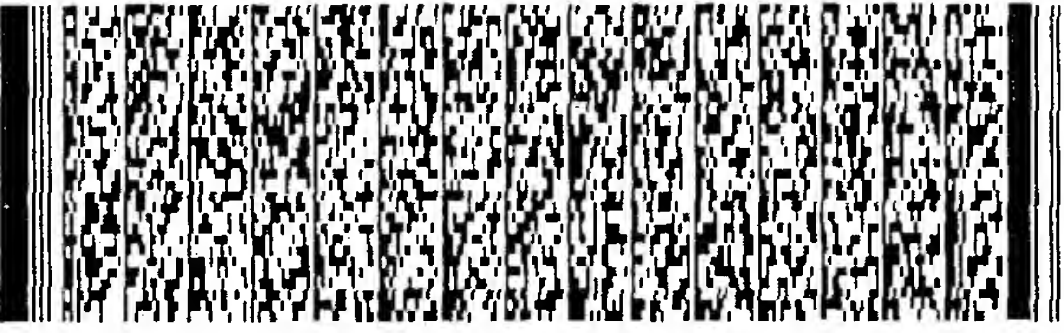
第 7/18 頁



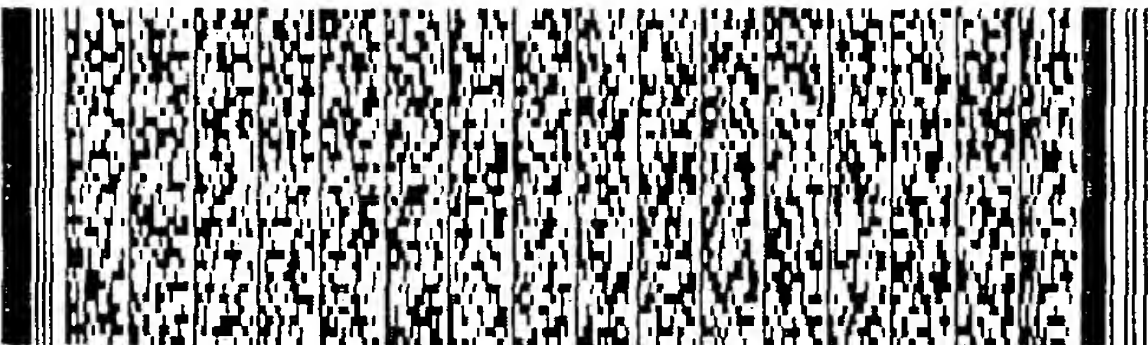
第 8/18 頁



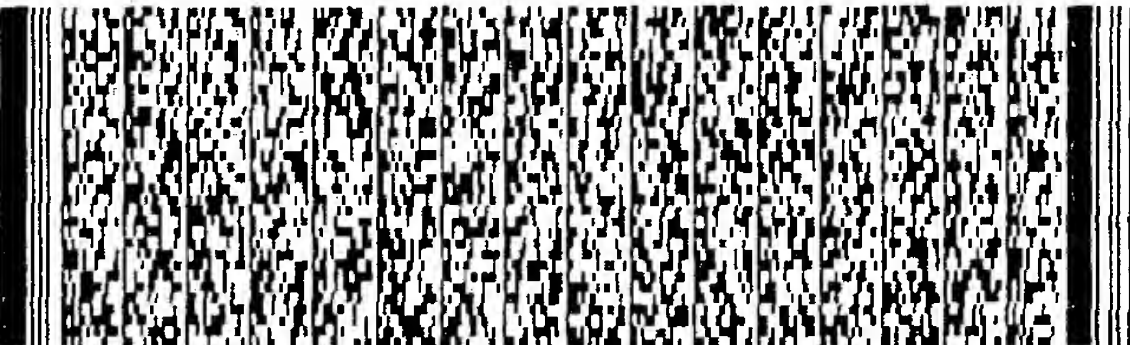
第 8/18 頁



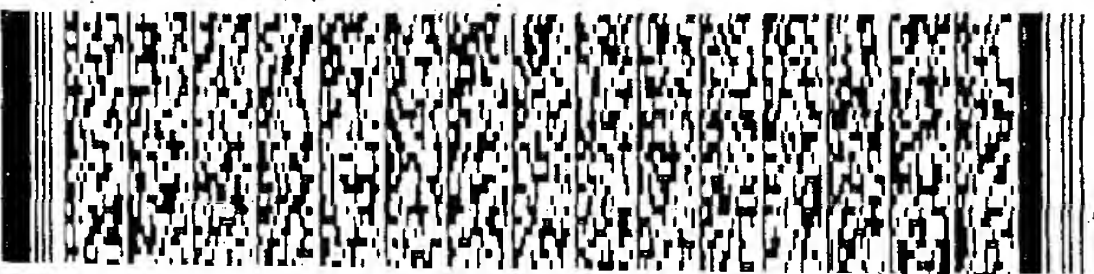
第 9/18 頁



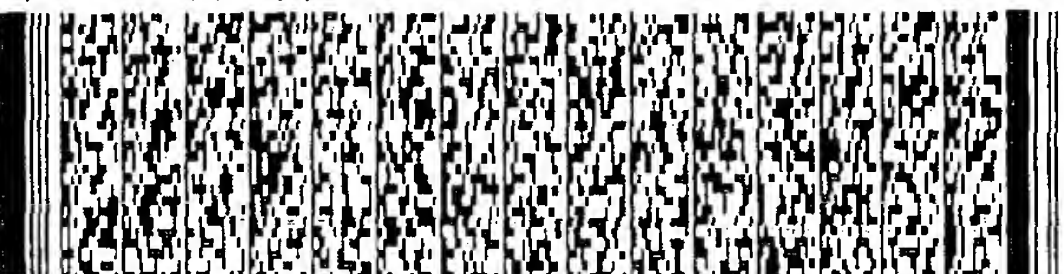
第 9/18 頁



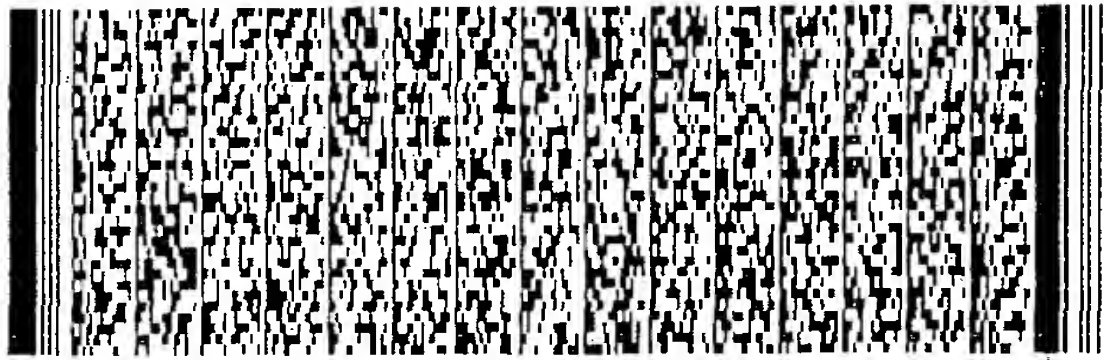
第 10/18 頁



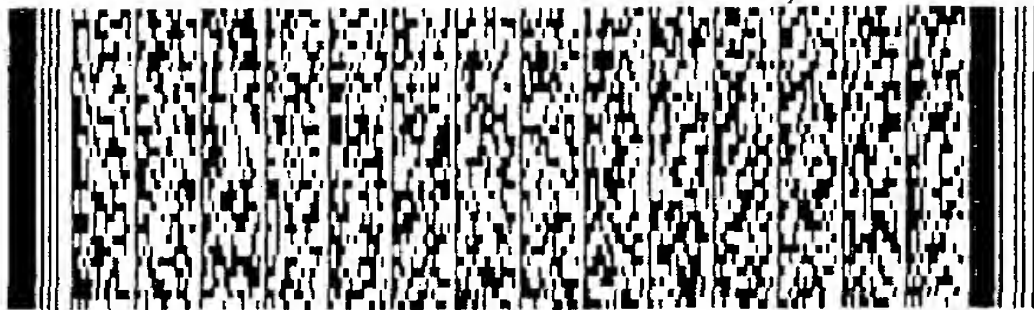
第 10/18 頁



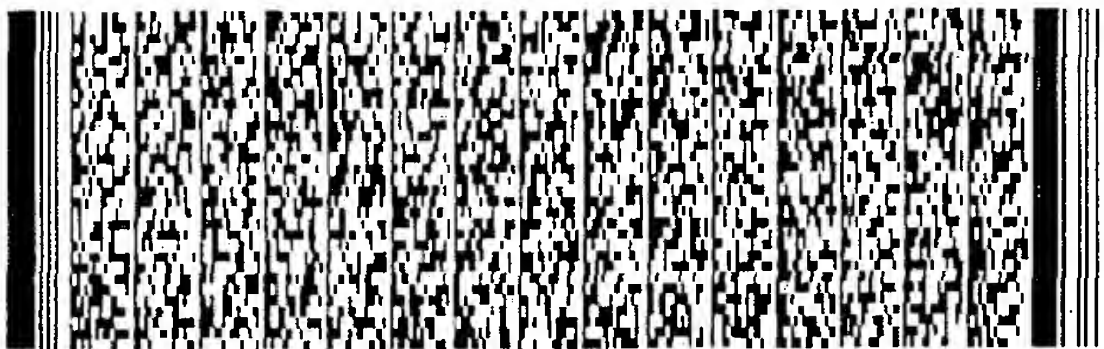
第 11/18 頁



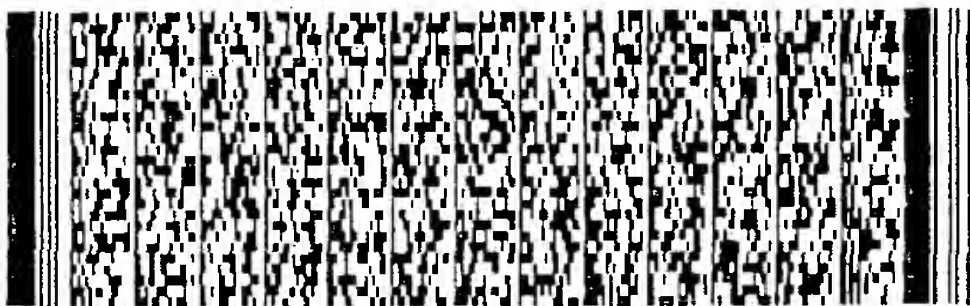
第 12/18 頁



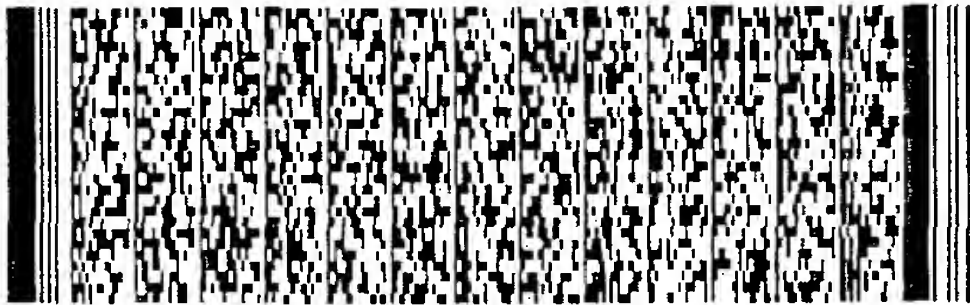
第 13/18 頁



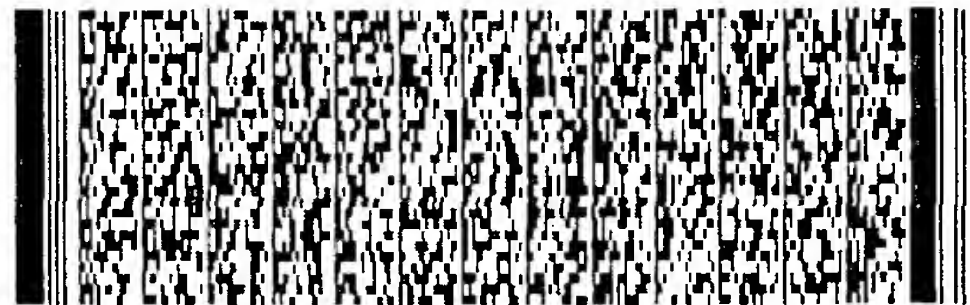
第 15/18 頁



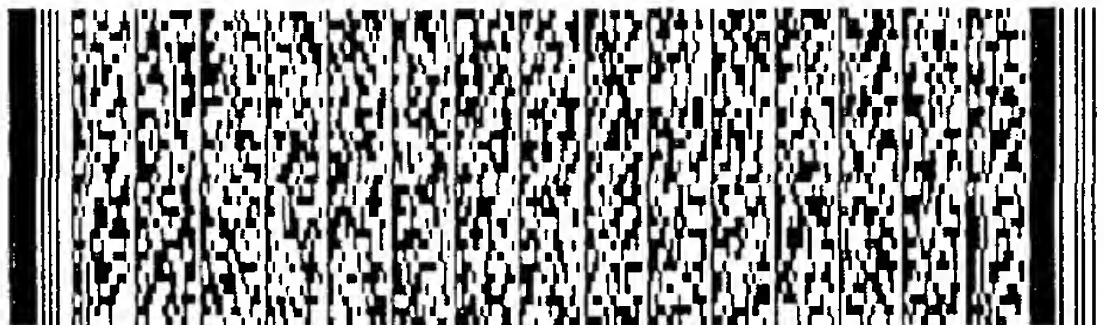
第 16/18 頁



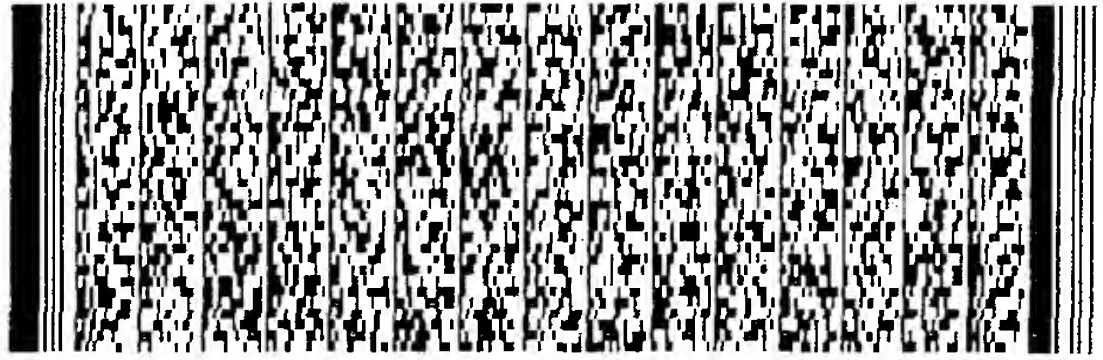
第 17/18 頁



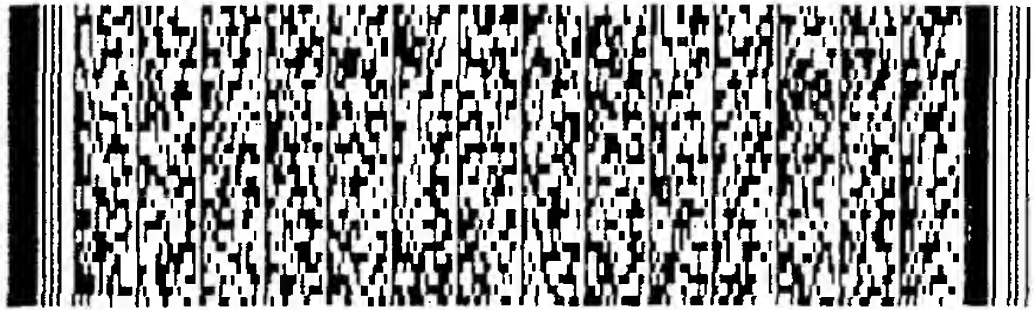
第 18/18 頁



第 11/18 頁



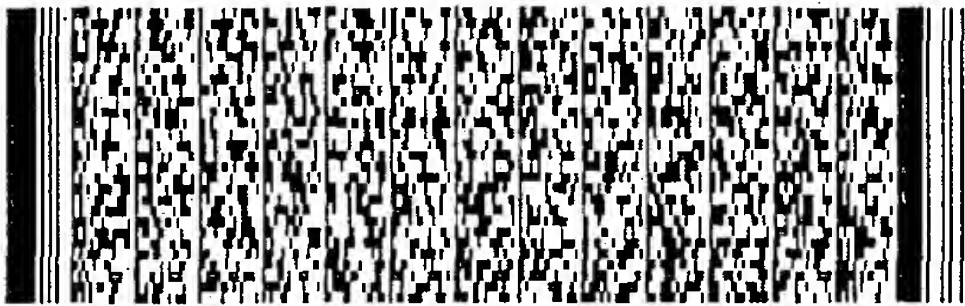
第 12/18 頁



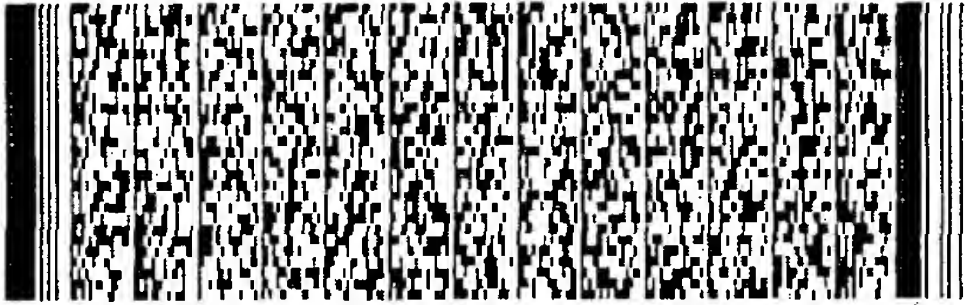
第 14/18 頁



第 15/18 頁



第 16/18 頁



第 17/18 頁

